

**Japanese Patent Office**  
**Patent Laying-Open Gazette**

Patent Laying-Open No.                   10-154670  
Date of Laying-Open:                   June 9, 1998  
International Class(es):               H 01 L   21/301  
  21/3205

(5 pages in all)

---

Title of the Invention:                   Manufacturing Method of Semiconductor  
  Device

Patent Appln. No.                       8-314712  
Filing Date:                            November 26, 1996  
Inventor(s):                            Koichi BABA and Maiko SUZAKI

Applicant(s):                           TOSHIBA CORPORATION

(transliterated, therefore the  
spelling might be incorrect)

## Our Commentary on the References

### Japanese Patent Laying-Open Nos. 10-154670 and 11-204525

When dicing a wafer along a dicing line, a conductive film in the dicing line region is curled up. Then, when performing wire bonding, a wire and the conductive film thus curled up contact to each other to establish an electrical short circuit. In order to address such a problem, a conductive film in a dicing line region is removed before performing the dicing process. Thus, the conductive film will not curl up when dicing the wafer, preventing an electrical short circuit which would otherwise be established between a wire and the curled up conductive film.

①

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-154670

(43)公開日 平成10年(1998)6月9日

(51)Int.Cl.<sup>6</sup>

H01L 21/301

21/3205

識別記号

F I

H01L 21/78

21/88

L

Z

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21)出願番号 特願平8-314712

(22)出願日 平成 8 年(1996)11月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 馬 場 浩 一

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

(72)発明者 須 崎 麻衣子

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

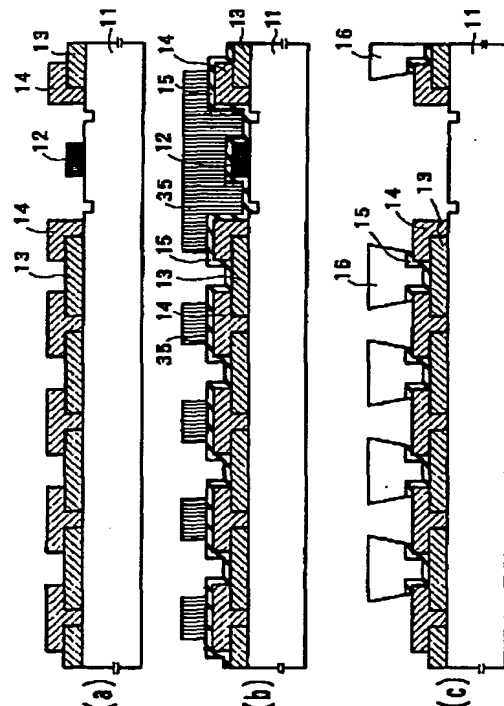
(74)代理人 弁理士 佐藤 一雄 (外 3 名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体ウェーハにダイシングを行うと、ダイシングライン上のメタルパターンの端部が捲れ上がって、インナリードやボンディングワイヤと接触し、電気的不具合を起こしていた。

【解決手段】 半導体ウェーハ 1 1 上にメタルパターン 1 2、1 3 を形成し、表面全体に表面保護膜 1 4 を堆積し、メタルパターン 1 2、1 3 のうち少なくともダイシングライン上のもの 1 2 の表面が露出するように表面保護膜 1 4 をパターニングし、表面全体にバリアメタル 1 5 を堆積し、バリアメタル 1 5 のうちダイシングライン上のものと、メタルパターン 1 2、1 3 のうちダイシングライン上のもの 1 2 とを同時にエッチングにより除去し、メタルパターン 1 2 が除去されたダイシングラインに沿って、半導体ウェーハ 1 1 にダイシングを行うことで、ダイシングにより捲れ上がったメタルパターンの端部がインナリードやボンディングワイヤと接触して不良を起こすことを防止する。



## 【特許請求の範囲】

【請求項 1】半導体ウェーハの表面上に金属パターンを形成する工程と、

前記金属パターンのうち、ダイシングライン上に位置するものを、ダイシングを行う前に除去する工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 2】半導体ウェーハの表面上に、金属パターンを形成する工程と、

表面全体に表面保護膜を堆積し、前記金属パターンのうち少なくともダイシングライン上の部分の表面が露出するように前記表面保護膜をパターニングする工程と、表面全体にバリア金属を堆積し、前記バリア金属のうち少なくともダイシングライン上の部分と、前記金属パターンのうちダイシングライン上の部分とを同時にエッチングにより除去する工程と、

前記金属パターンが除去されたダイシングラインに沿って、前記半導体ウェーハにダイシングを行う工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 3】半導体ウェーハの表面上に、金属パターンを形成する工程と、

表面全体に表面保護膜を堆積し、前記金属パターンのうち少なくともダイシングライン上の部分の表面が露出するように前記表面保護膜をパターニングする工程と、表面全体にレジストを塗布し、ダイシングライン上の領域を除去して他の部分を覆うようにパターニングされたレジスト膜を形成する工程と、

前記レジスト膜をマスクとして、ダイシングライン上の前記金属パターンをエッチングにより除去する工程と、

前記金属パターンが除去されたダイシングラインに沿って、前記半導体ウェーハにダイシングを行う工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 4】半導体ウェーハの表面上に、金属パターンを形成する工程と、

表面全体に表面保護膜を堆積して、ダイシングライン以外の領域において所定のパターンが得られるようにパターニングを行う工程と、

レーザを照射して、ダイシングライン上の前記表面保護膜と前記金属パターンとを除去する工程と、

前記金属パターンが除去されたダイシングラインに沿って、前記半導体ウェーハにダイシングを行う工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 5】前記金属パターンは、アルミニウム、銅、アルミニウムとシリコンと銅との混合、又はアルミニウムと銅との混合のいずれか一つから成り、前記表面保護膜は、リンシリケートガラス、酸化シリコン、窒化シリコン、ポリイミド、リンシリケートガラス及び窒化シリコン、リンシリケートガラス及びポリイミド、リンシリケートガラス及び窒化シリコン及びポリイミド、酸化シリコン及び窒化シリコン、酸化シリコン及びポリイ

ミド、酸化シリコン及び窒化シリコン及びポリイミドのいずれか一つから成ることを特徴とする請求項 2 乃至 4 のいずれかに記載された半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係わり、特に半導体ウェーハをダイシングする前の製造工程に関するものである。

## 【0002】

【従来の技術】半導体ウェーハをダイシングする場合に、ダイシングライン上にはマスク合わせ用のマークや品質管理マーク等、製造上不可欠なパターンが各層に存在している。一般には、このようなマークは金属パターンやシリコン酸化膜等によって形成されている。

【0003】従来は、金属パターンから成るマークを半導体ウェーハに残した状態で半導体ウェーハのダイシングを行い、半導体チップを切り出してパッケージングを行っていた。しかし、ダイシングを行うと、マークを構成する金属パターンの端部が捲れ上がる。この結果、TAB (Tape Automated Bonding) パッケージングあるいはワイヤボンディングパッケージングを行う際に、次のような問題が生じていた。

【0004】TAB パッケージングでは、インナリードと、半導体チップのエッジ部分で捲れ上がった金属パターンとが接触し、金属パターンを介して隣接する端子間で短絡が発生する。あるいは、半導体チップのエッジ部分に存在するデバイス特性モニタパターン等の基板とコンタクトされた金属パターンが、インナリードと接触し、p 型半導体基板は接地端子と短絡し、n 型半導体基板は電源端子と短絡する。

【0005】ワイヤボンディングパッケージングでは、ボンディングワイヤと、半導体チップのエッジ部分の金属パターンとが接触し、金属パターンを介して隣接する端子間で短絡が発生する。あるいは、半導体チップのエッジ部分における基板とコンタクトされた金属パターンが、ボンディングワイヤと接触し、p 型半導体基板は接地端子と短絡し、n 型半導体基板は電源端子と短絡する。

## 【0006】

【発明が解決しようとする課題】上述のように、従来はダイシング時に捲れ上がった金属パターンが電気的特性上の不具合を引き起こすという問題があった。

【0007】本発明は上記事情に鑑みてなされたもので、ダイシングライン上に存在する金属パターンによって電気的不具合が生じるのを防ぐことが可能な半導体装置の製造方法を提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体ウェーハの表面上に金属パターンを形成する工程と、前記金属パターンのうち、ダイシ

グライン上に位置するものを、ダイシングを行う前に除去する工程とを備えることを特徴とする。

【0009】あるいは、本発明の他の製造方法は、半導体ウェーハの表面上に、メタルパターンを形成する工程と、表面全体に表面保護膜を堆積し、前記メタルパターンのうち少なくともダイシングライン上の部分の表面が露出するように前記表面保護膜をパターニングする工程と、表面全体にバリアメタルを堆積し、前記バリアメタルのうち少なくともダイシングライン上の部分と、前記メタルパターンのうちダイシングライン上の部分とを同時にエッチングにより除去する工程と、前記メタルパターンが除去されたダイシングラインに沿って、前記半導体ウェーハにダイシングを行う工程とを備えている。

【0010】または、本発明の他の方法は、メタルパターンと表面保護膜を形成した後、バリアメタルを堆積せずに、表面全体にレジストを塗布し、ダイシングライン上の領域を除去して他の部分を覆うようにレジスト膜を形成する工程と、前記レジスト膜をマスクとして、ダイシングライン上の前記メタルパターンをエッチングにより除去する工程とを備えている。

【0011】さらに本発明の他の方法は、メタルパターンを形成した後、表面全体に表面保護膜を堆積して、ダイシングライン以外の領域において所定のパターンが得られるようにパターニングを行う工程と、レーザを照射して、少なくともダイシングライン上の前記表面保護膜と前記メタルパターンとを除去する工程とを備えている。

【0012】ここで、前記メタルパターンは、アルミニウム、銅、アルミニウムとシリコンと銅との混合、又はアルミニウムと銅との混合のいずれか一つから成り、前記表面保護膜は、リンシリケートガラス、酸化シリコン、窒化シリコン、又はポリイミド、リンシリケートガラス及び窒化シリコン、リンシリケートガラス及びポリイミド、リンシリケートガラス及び窒化シリコン及びポリイミド、酸化シリコン及び窒化シリコン、酸化シリコン及びポリイミド、酸化シリコン及び窒化シリコン及びポリイミドのいずれか一つから成るのであってもよい。

【0013】

【発明の実施の形態】以下、本発明の一実施の形態について、図面を参照して説明する。

【0014】図1に、第1の実施の形態による半導体装置の製造方法の手順を工程別に示す。この第1の実施の形態による方法は、TABパッケージングを行う時に用いられる。

【0015】図1(a)において、半導体ウェーハ11の表面上に、Al-Si-Cuで構成されたメタル層を、スパッタリングにより約10000オングストロームの膜厚で堆積する。写真蝕刻法、エッチング技術を用いてパターニングを行い、ボンディング用パッド13と、マスク合せ用、品質管理用、デバイス特性モニタ用

等のためのメタルパターン12とを同時に形成する。メタルパターン12は、ダイシングライン上に位置している。表面全体に表面保護膜としてリンシリケートガラス(PSG)をCVD法により4000オングストロームの膜厚で堆積する。このPSG膜14をパターニングして、ボンディング用パッド13の表面を開孔する。この時に、同時にダイシングライン上のメタルパターン12の全面を露出させる。

【0016】図1(b)のように、Alとの相性が良いTiを下層とし、後述するTAB用のAuパンプとの接合強度を高めるためにAuとの相性が良いPdを上層とするTi-Ni-Pdで構成されたバリアメタル層15を、表面全体にスパッタリングにより堆積し、Auパンプを形成する部分のみ開孔したレジスト膜35を形成する。バリアメタル層の膜厚は、例えばTiが1000オングストローム、Niが3000オングストローム、Pdが500オングストロームとする。

【0017】図1(c)に示されたように、ボンディング用パッド13上のバリアメタル層15の表面に、Auパンプ16をメッキにて形成し、レジスト膜35を剥離する。このAuパンプ16をマスクとして、バリアメタル層15のうちAuパンプ16が形成されていない不要な部分を、塩素系ガスを用いた反応性イオンエッチング(RIE)にて除去すると同時に、ダイシングライン上のメタルパターン12を除去する。この後、ダイシングラインに沿って半導体ウェーハ11にダイシングを行い、複数の半導体チップに分割する。

【0018】次に本発明の第2の実施の形態による半導体装置の製造方法について、図2を用いて述べる。本実施の形態は、ワイヤボンディングを用いてパッケージングを行う場合に用いられる方法に関する。

【0019】図2(a)に示されたように、半導体ウェーハ21の表面上にAl-Si-Cuで構成されたメタル層を、スパッタリングにより約10000オングストロームの膜厚で堆積する。第1の実施の形態と同様にメタル層にパターニングを行い、ボンディング用パッド23と、マスク合せ用、品質管理用、デバイス特性モニタ用等のためのメタルパターン22とを同時に形成する。

【0020】表面全体にPSGをCVD法により4000オングストロームの膜厚で堆積し、PSG膜24をパターニングしてボンディング用パッド23の表面を開孔する。同時に、ダイシングライン上のメタルパターン22の全面を露出させる。

【0021】図2(b)のように、表面全体にレジストを塗布し、ダイシングラインの領域を除去して他の部分を覆うレジスト膜25を形成する。このレジスト膜25をマスクとして、ダイシングライン上のメタルパターン22をエッチングにより除去する。図2(c)に示されたように、ダイシングラインの領域以外を覆うレジスト膜25を剥離する。この後、ダイシングラインに沿って

ダイシングを行い、複数の半導体チップに分割してそれぞれワイヤボンディングを行う。

【0022】上記第1、第2の実施の形態では、いずれもダイシングライン上のメタルパターンをエッチングにより除去する。これに対し、第3の実施の形態のように機械的にメタルパターンを除去することもできる。

【0023】図3(a)に示されるように、半導体ウェーハ31の表面上に、Al-Si-Cuで構成されたメタル層をスパッタリングにより約10000オングストロームの膜厚で堆積する。このメタル層にパターンニング 10を行い、ボンディング用パッド33と、マスク合せ用、品質管理用、デバイス特性モニタ用等のためのメタルパターン32とを同時に形成する。

【0024】表面全体にPSGをCVD法により4000オングストロームの膜厚で堆積し、PSG膜34にパターンニングを行ってボンディング用パッド33の表面を開孔する。上記第2の実施の形態とは異なり、この段階でダイシングライン上のメタルパターン32の表面は露出されずにPSG膜34によって覆われている。

【0025】図3(b)のように、レーザを照射してダイシングライン上のPSG膜34、メタルパターン32、及び基板ウェーハ31の表面を除去する。この後、ダイシングを行って半導体チップに分割し、ボンディング用パッド33にワイヤボンディングを行う。 20

【0026】上記第1～第3の実施の形態によれば、ダイシング前にダイシングライン上のメタルパターンを除去するため、ダイシングにより捲れ上がったメタルパターンがTABパッケージのインナリード、又はワイヤボンディングパッケージにおけるボンディングワイヤに接触せず、電気的特性上の不具合を防止することができ 30る。

【0027】但し、上述した実施の形態はいずれも一例であり、本発明を限定するものではない。例えば、メタルパターンには、Al-Si-Cuの他に、Al、Cu、Al-Cu合金や、Ti、W、TiN等の高融点金属等を用いることができる。

【0028】また、表面保護膜として、PSGの他に、

酸化シリコン、プラズマSiN、ポリイミド、リンシリケートガラス及び窒化シリコン、リンシリケートガラス及びポリイミド、リンシリケートガラス及び窒化シリコン及びポリイミド、酸化シリコン及び窒化シリコン及びポリイミド、酸化シリコン及び窒化シリコン及びポリイミド等を用いてもよい。バリアメタルとして、Ti-Ni-Pdの他に、Cu-Cr、Au-Pd-Ti、Ti-W-Pt、Au-Pt-Ti等を用いることができる。この場合に、直接接触する下部の膜及び上部の膜とそれぞれ相性の良い材料を選ぶのが望ましい。

【0029】バンプとしては、Auの他にSnPb、Cu、Au-Cu、Au-Ni等を用いてもよい。

【0030】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によれば、半導体ウェーハにダイシングを行う前に、ダイシングライン上のメタルパターンを除去することで、ダイシングにより捲れ上がったメタルパターンがインナリードやボンディングワイヤと接触して不具合を起こすことを防止し、信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

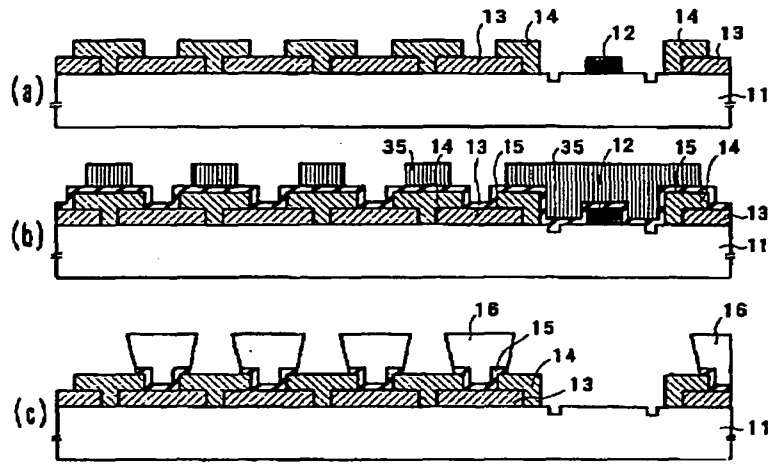
【図2】本発明の第2の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

【図3】本発明の第3の実施の形態による半導体装置の製造方法を工程別に示した素子の縦断面図。

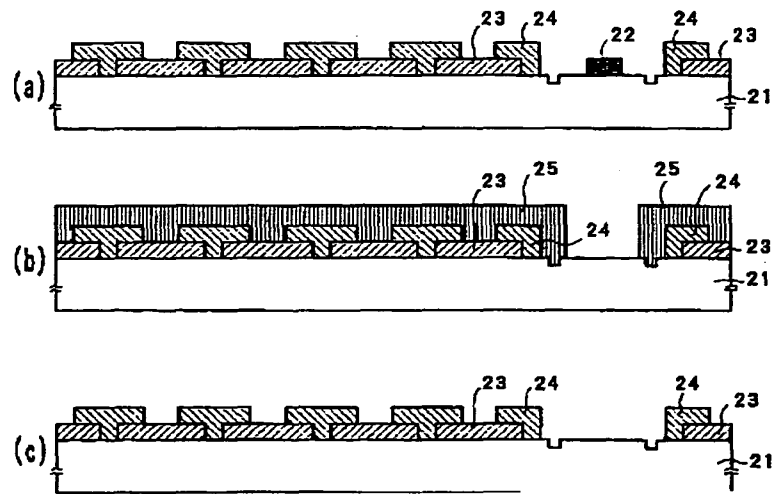
【符号の説明】

11、21、31 半導体ウェーハ  
12、22、32 メタルパターン  
13、23、33 ボンディング用パッド  
14、24、34、34 PSG膜  
15 バリアメタル層  
16 バンプ  
25、35 レジスト膜

【図 1】



【図 2】



【図 3】

